

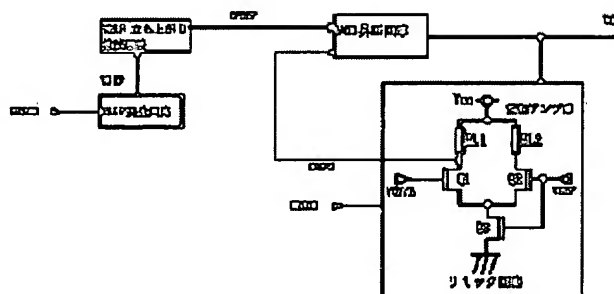
SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent number: JP11328984
Publication date: 1999-11-30
Inventor: KISHIMOTO JIRO; KUBONO SHOJI; SATO HIROSHI;
HARADA TOSHINORI; MAEJIMA MEGUMI
Applicant: HITACHI LTD;; HITACHI ULSI SYSTEMS CO LTD;;
MITSUBISHI ELECTRIC CORP
Classification:
- International: G11C16/06
- european:
Application number: JP19980126932 19980511
Priority number(s):

Abstract of JP11328984

PROBLEM TO BE SOLVED: To stably form a desired boosting voltage at the time of turning-on a power source by comparing a reference voltage and the divided voltage of a boosting voltage, controlling these voltage in such a manner that the boosting voltage attains the prescribed voltage corresponding to the reference voltage, making detection that the output voltage of the reference voltage generation circuit attains the prescribed reference voltage and making the operation of a booster circuit effective.

SOLUTION: The VCN booster circuit forms the boosting voltage VCN higher than the power-supply voltage Vcc. A limiter circuit compares the voltage VCN/A obtd. by dividing the boosting voltage VCN to 1/A and the reference voltage VREF and controls the boosting voltage VCN so as to attain the desired specified voltage. A VREF generating circuit generates the reference voltage VREF by receiving a start signal RESOB of power source resetting. When a VREF rising detection circuit makes detection that the reference voltage VREF attains the prescribed voltage, the VCN booster circuit is made effective by a detection signal SVREF. As a result, the runaway of the booster circuit at the time of turning-on the power source may be prevented.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-328984

(43)公開日 平成11年(1999)11月30日

(51)Int.Cl.⁸

G 1 1 C 16/06

識別記号

F I

G 1 1 C 17/00

6 3 2 A

審査請求 未請求 請求項の数7 O L (全 15 頁)

(21)出願番号 特願平10-126932

(22)出願日 平成10年(1998)5月11日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(74)代理人 弁理士 徳若 光政

最終頁に続く

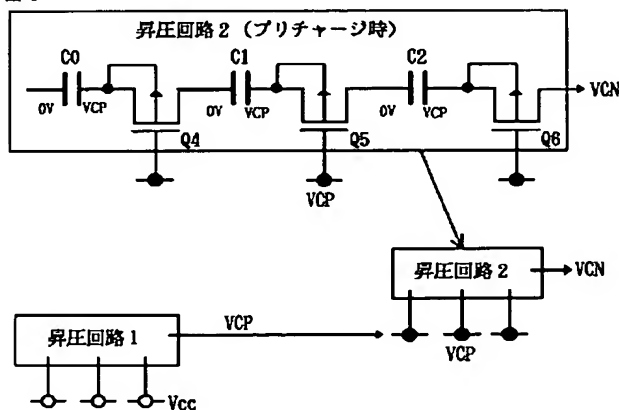
(54)【発明の名称】 半導体集積回路装置

(57)【要約】 (修正有)

【課題】 電源投入時において安定して所望の昇圧電圧を形成する昇圧回路と、効率のよい動作を行うチャージポンプ回路とを備えた不揮発性メモリ装置。

【解決手段】 基準電圧と昇圧電圧の分圧電圧とを比較して昇圧電圧が上記基準電圧に対応した所定電位になるように制御するとともに、出力電圧が所定の基準電圧に到達したことを検出して上記昇圧回路の動作を有効にする。電源電圧とパルス信号とを受けて動作するチャージポンプ回路により上記電源電圧以上に昇圧された第1の昇圧電圧を形成する第1の昇圧回路と、容量直列型のチャージポンプ回路により上記昇圧電圧以上に昇圧された第2の昇圧電圧を形成する第2の昇圧回路とを組み合わせる。容量直列型のチャージポンプ回路において、ポンプアップ期間において上記動作電圧に接続された小さな電圧側からの上記昇圧電圧側に向かう容量接続順序に従って容量値が順次に小さくなるように容量値を振り分ける。

図4



【特許請求の範囲】

【請求項 1】 電源電圧とパルス信号とを受けて動作するチャージポンプ回路により上記電源電圧以上に昇圧された昇圧電圧を形成する昇圧回路と、

上記電源電圧を受けて基準電圧を発生する基準電圧発生回路と、

上記基準電圧と上記昇圧電圧の分圧電圧とを比較して上記昇圧回路の動作を制御して、昇圧電圧が上記基準電圧に対応した所定電位になるように制御するリミッタ回路と、

上記基準電圧発生回路の出力電圧が所定の基準電圧に到達したことを検出して上記昇圧回路の動作を有効にする基準電圧立ち上がり検出回路とを備えてなることを特徴とする半導体集積回路装置。

【請求項 2】 上記昇圧回路は、

上記電源電圧とパルス信号とを受けて動作するチャージポンプ回路により上記電源電圧以上に昇圧された第 1 の昇圧電圧を形成する第 1 の昇圧回路と、

上記第 1 の昇圧電圧とそれに対応したパルス信号とを受けて動作する容量直列型のチャージポンプ回路により上記昇圧電圧以上に昇圧された第 2 の昇圧電圧を形成する第 2 の昇圧回路とからなり、

上記第 2 の昇圧電圧を出力昇圧電圧とするものであることを特徴とする請求項 1 の半導体集積回路装置。

【請求項 3】 電源電圧とパルス信号とを受けて動作するチャージポンプ回路により上記電源電圧以上に昇圧された第 1 の昇圧電圧を形成する第 1 の昇圧回路と、

上記第 1 の昇圧電圧とそれに対応したパルス信号とを受けて動作する容量直列型のチャージポンプ回路により上記昇圧電圧以上に昇圧された第 2 の昇圧電圧を形成する第 2 の昇圧回路とを備えてなる内部電源回路を含むことを特徴とする半導体集積回路装置。

【請求項 4】 上記第 1 の昇圧回路は、容量直列型のチャージポンプ回路であることを特徴とする請求項 2 の半導体集積回路装置。

【請求項 5】 上記容量直列型のチャージポンプ回路は、

ポンプアップ時において小さな電圧側からの容量接続順序に従ってそれぞれの容量値が小さくなるように容量値を振り分けるようにしてなることを特徴とする請求項 3 又は請求項 4 の半導体集積回路装置。

【請求項 6】 プリチャージ期間では、複数の容量に動作電圧をプリチャージし、

ポンプアップ期間では上記複数の容量を直列接続して、直列容量の一端に上記動作電圧を供給し、直列容量の他端から昇圧電圧を得るようにした容量直列型のチャージポンプ回路を含み、

上記容量直列型のチャージポンプ回路は、

上記ポンプアップ期間において上記動作電圧に接続された小さな電圧側からの上記昇圧電圧側に向かう容量接続

順序に従って容量値が順次小さくなるように容量値を振り分けるようにしてなることを特徴とする半導体集積回路装置。

【請求項 7】 上記昇圧電圧は、不揮発性メモリセルの書き込み、消去動作に用いられる動作電圧であることを特徴とする請求項 1 ないし請求項 6 のいずれか 1 の半導体集積回路装置。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】この発明は、半導体集積回路装置に関し、例えば不揮発性メモリに内蔵されるチャージポンプ回路に利用して有効な技術に関するものである。

【0002】

【従来の技術】電気的一括消去型 E E P R O M は、チップに形成されたメモリセルの全てを一括して、又はチップに形成されたメモリセルのうち、あるひとまとまりのメモリセル群を一括して電氣的に消去する機能を持つ不揮発性記憶装置である。このような一括消去型 E E P R O M に関しては、1980 年のアイ・イー・イー・イー・インターナショナル、ソリッドステート サーキット コンファレンス (IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE) の頁 152 ~153、1987 年のアイ・イー・イー・イー・インターナショナル、ソリッドステート サーキット コンファレンス (IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE) の頁 76 ~77、アイ・イー・イー・イー・ジャーナル オブ ソリッドステート サーキット、第 23 巻第 5 号 (1988 年) 第 1157 頁から第 1163 頁 (IEEE, J. Solid-State Circuits, vol. 23 (1988) pp. 1157-1163) に記載されている。

30 【0003】1987 年の国際電子デバイス会議 (International Electron Device Meeting) において発表された電気的一括消去型 E E P R O M のメモリセルは、通常の E P R O M のメモリセルとよく似た構造を有している。すなわち、メモリセルは、2 層ゲート構造の絶縁ゲート型電界効果トランジスタ (以下、M O S F E T 又は単にトランジスタと称する) により構成され、情報は実質的にしきい値電圧の変化としてトランジスタに保持される。上記メモリセルへの情報の書き込み動作は、E P R O M のそれと同様である。

40 【0004】すなわち、書き込み動作は、ドレイン電極に接続されたドレイン領域の近傍で発生させたホットキャリアをフローティングゲートに注入することにより行われる。この書き込み動作により記憶トランジスタは、そのコントロールゲートからみたしきい値電圧が、書き込み動作を行わなかった記憶トランジスタに比べ高くなる。

50 【0005】消去動作においては、コントロールゲートを接地し、ソース電極に高電圧を印加することによりフローティングゲートとソース電極に接続されたソース領

3

域との間に高電界が発生され、薄い酸化膜を通したトンネル現象を利用してフローティングゲートに蓄積された電子がソース領域を介してソース電極に引き抜かれる。これにより、記憶情報の消去が行われる。すなわち、消去動作により記憶トランジスタはそのコントロールゲートからみだしきい値電圧が低くなる。

【0006】読み出し動作においては、上記メモリセルに対して弱い書き込み、すなわち、フローティングゲートに対して不所望なキャリアの注入が行われないように、ドレイン電極及びコントロールゲートに印加される電圧が比較的低い値に制限される。例えば、1 V 程度の低電圧がドレイン電極に印加されるとともに、コントロールゲートに 5 V 程度の低電圧が印加される。これらの印加電圧によって記憶トランジスタを流れるチャンネル電流の大小を検出することにより、メモリセルに記憶されている情報の“0”，“1”を判定する。

【0007】

【発明が解決しようとする課題】上記のような不揮発性のメモリセルに対する消去動作や書き込み動作には、比較的大きな電圧を必要とし、これとともに過消去や過書き込みを防止するためにコントロールゲートが接続されるワード線の電位を消去量（しきい値電圧）や書き込み量（しきい値電圧）に対応して設定し、上記メモリセルの消去ベリファイ及び書き込みベリファイを行うことが必要とされる。これらの消去動作、書き込み動作及びそのベリファイ及び読み出し動作のためには、それぞれの動作モードに対応した多種類の電圧が必要である。このような多種類の電圧を外部端子から供給するようにすると、電源装置が複雑となり、かつ電源端子が増大するので不揮発性メモリの使い勝手が極めて悪くなる。

【0008】そこで、本願出願人等においては先にチャージポンプ回路を用いて上記動作電圧を内部回路で形成することを考えた。不揮発性メモリでは、上記のようにワード線の選択レベルがメモリセルの書き込み量、あるいは消去量及び記憶される情報の“0”，“1”を判定するのに重要な役割を持つため、高い精度で安定した電圧にすることが必要である。このように形成された電圧は、それぞれの動作モードに対応して出力される。例えば、同じワード線駆動回路を用いつつ、その動作電圧をスイッチ MOSFET を用いて切り換えることより、ワード線の電位を書き込みや消去時に他対応させて変化させるものである。この場合、上記スイッチ MOSFET のゲートに伝えられる制御信号のレベルは、正の電圧であるときに P チャンネル MOSFET を用いた場合には、それをオフ状態にするために上記動作電圧に対応した電圧を用いる必要がある。

【0009】このような動作電圧としては、上記不揮発性メモリの動作に必要な他種類の電圧の中で最も高い電圧に対して、上記実効的なしきい値電圧分高くした一種の電圧を形成すればよい。このとき、不揮発性メモリ

4

に与えられる外部電源電圧が 5 V のものと 3.3 V のものとに共用できるようにするため、昇圧電圧を分圧し、それと基準電圧とを比較して所定電圧になるようにチャージポンプ回路の動作を制御することを検討した。このとき、電源投入時において上記基準電圧が正しく形成されていないと、上記電圧比較回路が正常に動作せず昇圧電圧が所望の電圧より高くなってもそれを制限するリミッタ機能がきかないために昇圧電圧が異常に高くなってしまい、最悪の場合には素子の耐圧破壊を生じてしまうという新たな問題の生じることが判明した。また、上記のような昇圧電圧を形成するためには、効率のよいチャージポンプ回路が必要になるものである。

【0010】この発明の目的は、電源投入時において安定して所望の昇圧電圧を形成することができる昇圧回路を備えた半導体集積回路装置を提供することにある。この発明の他の目的は、効率のよい動作を行うチャージポンプ回路を備えた半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、基準電圧と昇圧電圧の分圧電圧とを比較して昇圧回路の動作を制御して、昇圧電圧が上記基準電圧に対応した所定電位になるようにリミッタ回路で制御するとともに、上記基準電圧を形成する基準電圧発生回路の出力電圧が所定の基準電圧に到達したことを検出して上記昇圧回路の動作を有効にする基準電圧立ち上がり検出回路を設ける。

【0012】本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、電源電圧とパルス信号とを受けて動作するチャージポンプ回路により上記電源電圧以上に昇圧された第 1 の昇圧電圧を形成する第 1 の昇圧回路と、上記第 1 の昇圧電圧とそれに対応したパルス信号とを受けて動作する容量直列型のチャージポンプ回路により上記昇圧電圧以上に昇圧された第 2 の昇圧電圧を形成する第 2 の昇圧回路とを組み合わせ昇圧電圧を形成する。

【0013】本願において開示される発明のうち更に他の代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、プリチャージ期間では、複数の容量に動作電圧をプリチャージし、ポンプアップ期間では上記複数の容量を直列接続して、直列容量の一端に上記動作電圧を供給し、直列容量の他端から昇圧電圧を得るようにした容量直列型のチャージポンプ回路において、上記ポンプアップ期間において上記動作電圧に接続された小さな電圧側からの上記昇圧電圧側に向かう容量接続順序に従って容量値が順次に小さくなるように容量値を振り分ける。

【0014】

【発明の実施の形態】図1には、この発明に係る不揮発性メモリのような半導体集積回路装置に設けられる電圧発生回路の一実施例のブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術により、不揮発性メモリを構成する他の回路ブロックとともに、単結晶シリコンのような1個の半導体基板上において形成される。

【0015】VCN昇圧回路は、後述するようなチャージポンプ回路により構成されて、電圧電圧VCC以上に高くされた昇圧電圧VCNを形成する。特に制限されないが、不揮発性メモリにおいて使用される内部動作電圧のうち最も高くされた内部電圧に対して、NチャンネルMOSFETのしき値電圧分だけ高くされる。このような昇圧電圧VCNを形成しておくことにより、不揮発メモリで使用される複数通りの動作電圧のうち任意の動作電圧をレベル損失なく出力させるNチャンネル型のスイッチMOSFETをスイッチ制御できる制御信号を形成することができる。

【0016】上記昇圧電圧VCNが外部端子から供給される電源電圧VCCが5Vのときでも3.3Vのときでも所望の一定の電圧になるように、リミッタ回路により制御される。リミッタ回路は、上記昇圧電圧VCNを1/Aに分圧した電圧VCN/Nと、基準電圧VREFとを比較する差動アンプ部を備えており、基準電圧VREFに対して上記分圧電圧VCN/Aが高くなると、その検出信号CPCP2により上記VCN昇圧回路の動作を停止させ、上記基準電圧VREFに対して上記分圧電圧VCN/Aが低くなるとその検出信号CPCP2により上記VCN昇圧回路の動作を開始させる。このようなリミッタ回路によるVCN昇圧回路の間欠的な動作制御によって、基準電圧VREFに対してA倍された昇圧電圧VCNを安定的に形成することができる。

【0017】上記差動アンプ部は、差動形態にされたNチャンネルMOSFETQ1とQ2のドレインにそれぞれ負荷抵抗RL1とRL2を設け、上記MOSFETQ1とQ2の共通接続されたソースに動作電流を流すMOSFETQ3を設けて構成される。上記MOSFETQ1のゲートには、上記分圧電圧VCN/Aが供給され、上記MOSFETQ2とQ3のゲートには、上記基準電圧VREFが供給される。上記MOSFETQ3は、そのゲートに定電圧としての基準電圧VREFが供給されることによって定電流源として動作する。特に制限されないが、半導体集積回路装置の動作電流を低減させるために、上記MOSFETQ3は、微小な電流しか流さないよう比較的小さなサイズのMOSFETにより構成される。

【0018】VREF（基準電圧）発生回路は、電源復帰の起動信号RESOBの電源電圧VCCのようなハイレベルを受けて、上記所定基準電圧VREFを発生させ

る。このVREF発生回路は、特に制限されないが、消費電流を小さくするために、比較的小さな直流電流しか流さないように設計されている。そのため、電源復帰によって上記起動信号RESOBが入力されてから、所望の電圧を形成するまで比較的長い時間を費やすことが必要とされる。つまり、上記VREF発生回路において所望の基準電圧VREFが形成される時間は、昇圧回路において最大出力電圧に到達するまでの時間に比べて大きくされる。

10 【0019】この結果、上記基準電圧VREFが安定するまでの間、差動アンプ部に必要な動作電流が流れないため、検出信号CPCP2が負荷抵抗RLを介した電源電圧VCCレベルとなって、仮にVREF<VCN/AになってもVCN昇圧回路の動作を停止させない。このため、昇圧回路ではその出力最大電圧を形成してしまうという暴走状態になる。特に、外部電源電圧VCCが5Vのように比較的高いときには、3.3Vの電圧でも所望の昇圧電圧VCNが得られるように昇圧回路が設計されているので、上記5V電源電圧時には素子を破壊に至らしめるような高い電圧に到達してしまう。

20 【0020】この実施例では、VREF立ち上がり検出回路が設けられる。このVREF立ち上がり検出回路は、VREF発生回路で形成された基準電圧VREFが所定の電圧に到達したことを検出する。この検出信号は、基準電圧VREFが所定の電圧に到達する前までの間は、上記VCN昇圧回路の動作を制限するように用いられる。つまり、上記VREF立ち上がり検出回路において、所定の電圧に基準電圧VREFが到達したことを検出すると、その検出信号SVREFによりVCN昇圧回路を動作を有効にするものである。具体的には、昇圧回路へのパルス信号の供給をゲート回路と制御信号とを用いて制限するものである。

30 【0021】図2には、図1のVREF立ち上がり検出回路の一実施例の回路図が示されている。電源電圧VCCと接地電位との間にPチャンネルMOSFETMP1とNチャンネルMOSFETMN1とを直列に接続し、PチャンネルMOSFETMP1のゲートには接地電位に近いバイアス電圧VBASPを供給し、NチャンネルMOSFETMN1のゲートには、基準電圧VREFに対応した入力電圧VBASNを供給する。電源投入直後に基準電圧VREFが十分立ち上がっていないときには、PチャンネルMOSFETMP1のオン抵抗値がNチャンネルMOSFETMN1のオン抵抗値よりも小さく設定されており、インバータ回路IV1の入力電圧を電源電圧VCCに対応したハイレベルにする。それ故、インバータ回路IV1から出力される検出信号SVREFはロウレベルにされる。

50 【0022】上記基準電圧VREFが立ち上がりに対応して上記入力電圧VBASNが上昇するので上記NチャンネルMOSFETMN1のオン抵抗値は徐々に小さくな

る。上記入力電圧 V_{BASN} が所望の電圧に到達するとPチャンネルMOSFETMP1のオン抵抗値に比べてNチャンネルMOSFETMN1のオン抵抗値が小さくなり、インバータ回路IV1の入力電圧をそのロジックスレッシュホールド電圧以下に低下させる。それ故、インバータ回路IV1から出力される検出信号 $SVREF$ はハイレベルに変化し、前記のような昇圧回路の動作を有効にさせるものである。

【0023】この実施例では、特に制限されないが、NチャンネルMOSFETMN1のゲートに供給される基準電圧 $VREF$ をメタルスイッチにより切り換え可能にされる。つまり、メタル配線層の選択的な形成によって、基準電圧 $VREF$ をて抵抗回路等により複数通りに形成しておいて、 $VREF$ をそのまま供給するもの、あるいは(17/16) $VREF$ のように高く設定して、上記検出信号 $SVREF$ が形成される時間を早くしたもの、逆に(15/16) $VREF$ のように低く設定して、上記検出信号 $SVREF$ が形成される時間を遅くしたもの等を選ぶようにすることができる。上記メタルスイッチは、最上層のメタル配線でヒューズを構成して上記端子間を接続しておいて、レーザー光線等により1つ残して他の全てを切断させることにより実現するものであってもよい。

【0024】図3には、この発明にかかる電圧発生回路の動作の一例を説明するための波形図が示されている。電源電圧 VCC の立ち上がりにより形成された起動信号 $RESOB$ のハイレベルの立ち上がりに対応して $VREF$ 発生回路では、基準電圧 $VREF$ を所望の電圧に向かって立ち上げる。この基準電圧 $VREF$ の立ち上がりを検出回路が監視しており、それが所望の電圧に到達するまでの間をリミッタ回路不感領域として、検出信号 $SVREF$ をロウレベルにする。これにより、上記起動信号 $RESOB$ の立ち上がりと同時にリミッタ回路の検出信号 $CPCP2$ がハイレベルにされても、 V_{CN} 昇圧回路は動作が制限されて出力電圧 V_{CN} を回路の接地電位のようなロウレベルのままに維持させている。これにより、電源投入時での昇圧回路の暴走を未然に防止することができる。

【0025】 $VREF$ 発生回路により形成された基準電圧 $VREF$ が所望の電圧に到達すると、 $VREF$ 立ち上がり検出回路の出力信号 $SVREF$ は、ロウレベルからハイレベルに立ち上がり、上記 V_{CN} 昇圧回路の動作を有効にするので、昇圧電圧は上昇する。そして、昇圧電圧 V_{CN} が例えば7Vに到達すると、リミッタ回路が検出して検出信号 $CPCP2$ をロウレベルにするので昇圧動作が停止して、それ以上に上昇するのを防止する。そして、昇圧電圧 V_{CN} が低下すると、リミッタ回路の検出信号 $CPCP2$ がハイレベルに変化し、再び昇圧動作を開始するので上記設定電圧(約7V)を中心にして昇圧電圧 V_{CN} は実質的に一定と見なされるように制御さ

れる。

【0026】図4には、この発明に係る昇圧回路の一実施例の概略ブロック図が示されている。この実施例では、効率のよい昇圧電圧を得るために、電源電圧 VCC で動作する昇圧回路1と、かかる昇圧回路1で形成された昇圧電圧 VCP を動作電圧として動作する昇圧回路2が組み合わされ、上記昇圧回路2から上記のような昇圧電圧 V_{CN} を形成するようにされる。この場合、昇圧回路2は、容量直列型のチャージポンプ回路が用いられる。

【0027】チャージポンプ回路は、よく知られているように容量並列型と容量直列型とがある。並列容量型では、キャパシタの段数を大きくすると、スイッチとして動作させるMOSFETの実効的なしきい値電圧が、伝えられる昇圧電圧の上昇とともに大きくなってスイッチMOSFETでのレベル損失が増大するために形成できる最大昇圧電圧が制限される。一方、直列用容量型では、回路を半導体集積回路で形成した場合に必然的に発生する各段と回路の接地電位との間に発生する寄生容量の存在のために、上記同様に最大昇圧電圧が制限されてしまう。

【0028】上記容量直列型では、各容量がプリチャージによって蓄えられた電圧を直列に加算して昇圧電圧を得るものであるが、そのそれぞれの接続点と回路の接地電位との間に寄生容量があると、かかる寄生容量がポンプアップのときに並列回路を構成して上記直列容量とのチャージシェアを行って電圧の上昇を制限する。このとき、寄生容量からみた直列容量の合成容量値が段数の増加するに従い小さくなるために上記チャージシェアが無視できるものである。例えば、直列接続される容量値が等しい容量値 C とすると、 N 個の容量値を直列接続した場合の合成容量値は C/N のように低下してしまうから、上記寄生容量の容量値が上記個々の容量の容量値 C に比べて十分小さくとも無視できなくなるものとなる。

【0029】本願発明では、上記容量直列型では上記のように直列容量の段数によって昇圧電圧が制限されること、言い換えるならば、段数が少ないと上記寄生容量の影響をほとんど受けないことに着目し、昇圧回路を2つに分割して、個々の昇圧回路での段数を減らすことにより効率のよい昇圧動作を実現するようにするものである。つまり、電源電圧 VCC を用いた昇圧回路1により第1の昇圧電圧 VCP を形成し、この昇圧電圧 VCP を第2の昇圧回路2の動作電圧として用いることにより、出力昇圧電圧 V_{CN} を得るようにするものである。

【0030】例えば、上記昇圧回路1と2をそれぞれ3つの容量を用い、昇圧回路1では4 VCC のような昇圧電圧 VCP を形成し、昇圧回路2では上記昇圧電圧 VCP を動作電圧とすることで4 VCP を形成する。つまり、全体では6個の容量を用いるものであるが、寄生容

量を見捨てることで出力可能な昇圧電圧は $4 \times 4 VCC$ のような高い電圧を得ることができる。つまり、6個の容量を直列接続した場合の $7 VCC$ に対し、その2倍以上の高い電圧を得ることができる。そして、寄生容量を考慮しても、上記のように3段接続であるからその影響を大幅に軽減できるものとなる。

【0031】本願発明者においては、上記容量直列型のチャージポンプ回路の効率化のために単純に直列接続される容量の容量比を同一にするよりも、アンバランス化することを考えた。つまり、上記のように半導体集積回路で回路を構成する場合には必然的に上記寄生容量が介在するために、直列接続される全体の容量の容量値が同じなら、言い換えるならば、半導体集積基板上に形成される容量の総面積が同じであるという条件のもとに、前段側の容量の容量値をより大きく設定することより寄生容量の影響を軽減できるものを見つけた。

【0032】図5には、3個の容量を用いた場合の容量直列型チャージポンプ回路の容量比と出力特性の関係が示されている。同図(B)のような3段の直列型回路において中央のキャパシタ $C1$ の容量値を $100 pF$ とし、その前後のキャパシタ $C0$ と $C2$ との容量 $C0 + C2 = 200 pF$ になるようにしたとき、前段の容量 $C0$ の容量値を $80 pF$ から $150 pF$ までの範囲で変化させたときの到達電圧と電流供給能力をみると、キャパシタ $C0$ の容量値を大きくすると到達電圧と供給能力ともに大きくなり、容量値が約 $130 pF$ 付近で供給能力が最大になるものである。

【0033】図6には、この発明が適用された容量直列型のチャージポンプ回路の一実施例の概略回路図が示されている。上記のような電圧特性を考慮してキャパシタ $C0 \sim C2$ の容量値 $C0 \sim C2$ の容量比は、 $C0 > C1 > C2$ のようにアンバランス化させるものである。このとき、各キャパシタ $C1$ 、 $C2$ の入力側には寄生容量 $(C1\beta1)$ 、 $(C2\beta2)$ が接続されるものである。

【0034】図7には、この発明に係る容量直列型のチャージポンプ回路の動作を説明するための等価回路図が示されている。図7(A)には、プリチャージ時の等価回路図が示されており、各キャパシタ $C0 \sim Ci$ には、電源電圧 VCC がプリチャージされ、そのときの電荷 $Q0 \sim Qi$ は、それぞれ

$$Q0 = C0 \times VCC$$

$$Q1 = C1 \times VCC$$

$$Q2 = C2 \times VCC$$

$$Qi = Ci \times VCC$$

のようにされる。この時、寄生容量 $C1\beta1$ 、 $C2\beta2 \dots Ci\beta i$ には、 $0V$ しか印加されないから、各電荷 $Q1p$ 、 $Q2p \dots Qip$ は共に 0 である。なお、同図では、上記各キャパシタ $C0 \sim Ci$ に上記電源電圧 VCC と回路の接地電位 $0V$ を供給するプリチャージ用のスイッチは省略されている。代表として例示的に示さ

れ、上記各キャパシタ $C0 \sim Ci$ を直列に接続するスイッチは、このときにはオフ状態である。

【0035】図7(B)には、ポンプアップ時の等価回路図が示されており、各キャパシタ $C0 \sim Ci$ が直列形態に接続される。このポンプアップ後の各キャパシタ $C0 \sim Ci$ の電荷 $Q0' \sim Qi'$ 及び寄生容量 $C1\beta1 \sim Ci\beta i$ の電荷 $Q1p' \sim Qip'$ は、それぞれ

$$Q0' = C0 \times V0$$

$$Q1' = C1 \times V1$$

$$10 \quad Q2' = C2 \times V2$$

$$Qi' = Ci \times Vi \text{ となり、}$$

$$Q1p' = (C1\beta1) \times (VCC + V0)$$

$$Q2p' = (C2\beta2) \times (VCC + V0 + V1)$$

$$Qip' = (Ci\beta i) \times (VCC + V0 + V1 + \dots + Vi - 1) \text{ となる。}$$

【0036】ポンプアップ前後の電荷保存により、

$$Q0 - Q1 + Q1p = Q0' - Q1' + Q1p'$$

$$Q1 - Q2 + Q2p = Q1' - Q2' + Q2p'$$

$$20 \quad Qi - 1 - Qi + Qip = Qi - 1' - Qi' + Qip'$$

$$Qi = Qi'$$

そして、到達電圧 V は、

$$V = VCC + V0 + V1 + \dots + Vi \text{ となる。}$$

【0037】上記電荷保存式から各電圧 $V0 \sim Vi$ を数値計算し、上記到達電圧式により到達電圧 V を求めることができ、 $i = 2$ とした場合が上記図5に示す到達電圧である。一方、上記の式を解析的に解くと以下の式が得られる。

$$V0 = VCC - D [2C1\beta1 + 3C2\beta2] VCC$$

$$30 \quad V1 = VCC - D [3C2\beta2] VCC$$

$$V2 = VCC$$

ここで、 $D = 1 / (C0 + C1\beta1 + 2C2\beta2)$ 、ただし $C0 = C1 = C2$ 、 $1 \gg \beta1\beta2$ (β の二次の項を見捨てる) を仮定する。上式から判るように、 $V0$ には、後段の容量の寄生容量全て ($C1$ に付く $C1\beta1$ 、 $C2$ に付く $C2\beta2$) が見えるため、 $V1$ より低下する。そこで、前記説明したようにキャパシタ $C0$ の容量値をそれぞれ後段のキャパシタ $C1$ 、 $C2$ の容量値よりも大きく設定し、寄生容量による電圧降下の影響を抑え、到達電圧 V を高くするものである。このことは、 $C1$ と $C2$ の関係においても同様である。

【0038】図8には、この発明が適用される不揮発性メモリの一実施例の概略ブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上において形成される。

【0039】メモリマトリックス (Memory Matrix) は、コントロールゲートとフローティングゲートとを備えたスタックドゲート構造の不揮発性メモリセルが、ワード線とデータ線との交点にマトリックス配置されてなるも

のである。上記メモリセルのコントロールゲートは対応するワード線に接続され、ドレインは対応するデータ線に接続され、ソースは対応するソース線に接続される。SVCは、ソース電位制御回路である。

【0040】アドレスバッファXADBは、外部端子AXから供給されるXアドレス信号の取り込みを行い、デコーダXDCRは、上記取り込まれたアドレス信号と内部電圧Vrw、Vww、Vwv、Vew及びVevを受けて、選択ワード線及び非選択ワード線の電位を書き込み、消去及び読み出しの各動作モードに応じて設定する。

【0041】この実施例のメモリマトリックス (Memory Matrix) のデータ線には、一対一に対応してセンスアンプSA及び書き込み回路DRが設けられる。アドレスバッファYADBは、外部端子AYから供給されるYアドレス信号の取り込みを行い、デコーダYDCRは、上記取り込まれたアドレス信号を解読してデータ線選択回路YGにデータ線選択信号を供給する。データ線選択回路YGは、上記選択信号に従い実質的なデータ線の選択動作を行う。つまり、読み出し動作のときには、上記センスアンプSAの増幅信号を選択して、書き込み動作のときは書き込みデータを上記書き込み回路DRに伝える。電圧Vrd及びVwdは読み出し動作と書き込み動作のときに用いられる。

【0042】マルチプレクサMPは、データ端子I/Oから供給されたコマンドをモードコントロール回路MCに伝える動作と、データ端子I/Oから供給された書き込みデータを上記データ入力回路DIBに伝える動作とを行う。データ出力回路DOBの出力信号は、上記マルチプレクサMPを通してデータ端子I/Oに伝えられる。

【0043】制御信号入力回路CSBは、外部端子から供給される制御信号/CE、/OE、/WE及びクロック信号SCを受けて上記モード制御回路MCに伝え、ここで書き込み、読み出し及び消去等の他、コマンド取り込み等の各種のモード判定が行われる。Vccは電源端子であり、特に制限されないが、3.3Vのような電源電圧が供給される。Vssは接地端子であり、0Vのような回路の接地電位が与えられる。

【0044】電圧発生回路VSは、前記説明したような+12Vのような正昇圧電圧発生回路、-10Vのような負電圧発生回路、及び電源電圧Vcc付近の中間電圧発生回路を含み、例示的に示されている電圧Vrw、Vww、Vwv、Vew、Vev、Vec、Vrd、Vwdと前記のような昇圧電圧VCN等を形成する。

【0045】図9には、この発明に係る一括消去型EEPROMの他の一実施例のブロック図が示されている。この実施例では、特に制限されないが、メモリアレイは4つのメモリマットMATから構成される。それぞれのメモリマットMATには、ワード線WLの選択信号を形成するサブデコーダSUB-DCRが設けられる。高集

積化のためにワード線のピッチが狭く形成されるので、メモリマットMAT間に挟まれたサブデコーダSUB-DCRは、両側のメモリマットMATに対してワード線の選択信号を形成する。それ故、例示的に示されているように、メモリマットMATのワード線は、それを挟んで設けられた2つのサブデコーダSUB-DCRに対して1つ置きに交互に接続される。

【0046】メインデコーダMAN-DCRは、後述するように複数のメモリセルを選択する選択MOSFETの選択信号と、サブデコーダSUB-DCRの選択レベルと非選択レベルを形成する回路から構成される。ゲートデコーダGDCRは、上記メインデコーダMAN-DCRによって選択された1つのメモリブロックの中の1つのメモリセルを選択する選択信号を形成する。

【0047】メモリマットMATに形成される不揮発性のメモリセルを構成する記憶トランジスタは、特に制限されないが、消去及び書き込み動作も共にトンネル電流によってフローティングゲートに電荷の注入と放出を行うようにするものである。この他に、前記説明したように消去動作のみをトンネル電流によって行うようにしてもよい。

【0048】センスアンプSAは、特に制限されないが、後述するように2組に分けられて、それぞれがセンスアンプ制御回路SACによって増幅動作の制御が行われる。特に制限されないが、最初の読み出しサイクルでは2組ともにセンスアンプが活性化され、以後ワード線の切り替えを伴う連続読み出しのときには、一方のセンスアンプ群からの読み出し信号が終了して、他方のセンスアンプ群からのシリアルな読み出し信号の出力を行っている間に、ワード線の切り替えが行われるとともに上記一方のセンスアンプ群が増幅動作を開始するようにされる。

【0049】上記センスアンプSAはラッチ機能を持っており、データ線から増幅動作に必要な読み出し信号を受け取ると、データ線とは切り離されて上記取り込んだ信号の増幅を行って保持している。それ故、データ選択回路YGにより選択された信号がデータ出力バッファOBを通して出力させることができ、このような信号出力動作と並行して、上述のように次のアドレスに対応したワード線の切り替えを行うことができる。

【0050】ステイタスレジスタSREGは、信号TSによりスタータスデータを受け取り、必要に応じてデータ出力バッファOBを通して外部から動作状態をモニターすることができる。この実施例では、連続アクセス動作や上記のように電氣的に書き込みと消去動作が行われるものであり、それぞれの動作の途中において内部の状態を外部から知る必要があるので、上記のようなステイタスレジスタSREGが設けられるものである。

【0051】電圧発生回路VSは、3.3Vのような電源電圧VCCと回路の接地電位VSSを受け、制御信号

TVにより書き込み、読み出し及び消去の各動作に必要とされる各種電圧 V_{pw} 、 V_{pv} 、 V_{ew} 、 V_{ed} 、 V_{ev} 及び V_r を形成するDC-DCコンバータとしての役割を果たすものである。この電圧発生回路VSは、前記図1、図3及び図5に示した昇圧回路を含むものである。

【0052】アドレスバッファADBは、外部端子から供給されるアドレス信号 A_i の取り込みを行って、アドレスラッチALHにアドレス信号を保持させる。信号TAは、上記アドレス信号をラッチさせる制御信号であり、TSCは内部シリアルクロックである。

【0053】アドレス発生回路ADGは、外部から供給されるクロックSCに同期して発生された内部シリアルクロックTSCによりアドレス歩進動作を行い、奇数番目のデータ線に対応したセンスアンプSAを活性化させるアドレス信号Ayoと、偶数番目のデータ線に対応したセンスアンプSAを活性化させるアドレス信号Aye及びワード線切り替え信号ACを発生させる。すなわち、この実施例の半導体記憶装置では、指定されたスタートアドレスを入力するだけで、その後の連続アクセスのためのアドレス信号は、外部端子から供給されるクロックSCに対応して内部において発生される。上記クロック信号SCは、特に制限されないが、前記チャージポンプ回路のクロック信号を形成するために利用することができる。上記信号AyoとAye及びACと/ACは、センスアンプ制御回路SACに供給される。ここで、信号ACに付された/は、バー信号であることを示すものであり、かかる信号/ACはロウレベルがアクティブレベルであることを表している。このことは、以下の他の信号においても同様である。

【0054】データ選択回路YGは、Y系のアドレス信号Ayにより、読み出し動作のときには1つのデータ線の選択信号を形成して、それに対応されたセンスアンプの増幅信号を選択してデータ出力バッファOBに伝える。書き込み動作のときには、1つのデータ線の選択信号を形成して、データ入力バッファIBから入力された書き込みデータに対応された信号をデータ線に伝える。

【0055】コマンドデコーダCDCRは、データ入力バッファIBから入力されたコレンドを解読して、コマンドデータDiを次に説明する制御回路CONTに伝える。信号TCは、コマンドデコーダ制御信号であり、コマンドの取り込みや、デコーダの制御を行う。

【0056】制御回路CSBは、モードコントロール回路MCを含み、外部端子から供給されるチップイネーブル信号/CE、アウトプットイネーブル信号/OE、ライトイネーブル信号/WE及びクロックSCとリセット信号RSを受けて、内部回路の動作に必要な各種タイミング信号を形成する。信号TMXは、メインデコーダ制御信号であり、プログラム-プログラムベリファイ時に正/負論理を切り替える信号である。信号TXGは、ゲートデコーダ制御信号である。信号TVは電源回路制

御信号である。信号TAは、アドレスバッファ制御信号であり、アドレスのラッチ等の制御を行う。信号TIは、データ入力バッファ制御信号であり、データやコマンドの取り込み等の制御を行う。

【0057】信号TOはデータ出力バッファ制御信号であり、データの出力等の制御を行う。信号TCは、コマンドデコーダ制御信号であり、コマンドの取り込み、デコード等の制御を行う。信号TSは、ステータスレジスタ制御信号であり、ステータスレジスタSREGのセットあるいはリセット等の制御を行う。信号TSAは、センスアンプ制御信号であり、活性化タイミングの制御に用いられる。信号TSCは内部シリアルクロックである。信号ACはワード線の切り替え信号である。信号Oiは、データ出力バッファOBから出力される出力データであり、信号Doはステータスデータであり、信号Diはコマンドデータである。また、信号RDY/BUSYは、チップの状態を出力する信号である。

【0058】この他、アドレスラッチALHからメインデコーダMAN-DCRに供給される信号Ax0は、上記選択されるべきメモリブロックを指示するX系のアドレス信号であり、アドレスラッチALHからゲートデコーダGDCRに供給される信号Ax1は、1つのメモリブロック中の1つのワード線を指示するX系のアドレス信号である。YゲートYGに供給される信号Ayは、Y系のアドレス信号である。

【0059】 V_{pw} は書き込み時のワード線電圧である。 V_{pv} は書き込みベリファイ時のワード線電圧である。 V_{ev} は消去ベリファイ時のワード線電圧である。 V_{ew} は消去時のワード線電圧である。 V_{ed} は消去時のデータ線電圧である。 V_r はデータ線プリチャージ電圧である。

【0060】図10には、上記メモリマットとその周辺部の一実施例の概略回路図が示されている。メモリセルは、前記類似のコントロールゲートとフローティングゲートとを備えたスタックドゲート構造のMOSFETとされる。この実施例では、後述するように書き込み動作と消去動作とが共に薄い酸化膜を通したトンネル電流を利用して行われる。

【0061】上記メモリセルを構成する記憶MOSFETは、複数個が1ブロックとされてドレインとソースが共通化される。上記記憶MOSFETの共通化されたドレインは、選択MOSFETを通してデータ線DLに接続される。上記記憶MOSFETの共通化されたソースは、選択MOSFETを通して回路の接地電位が与えられる。上記記憶MOSFETのコントロールゲートは、ワード線WLに接続される。上記選択MOSFETは、上記ワード線WLと平行に延長される選択線によって選択される。すなわち、上記選択MOSFETは、メインデコーダMAN-DCRによって選択されるメインワード線と見做される。

【0062】上記のようにメモリセルをブロックに分け

て、それぞれに選択MOSFETを介してデータ線DLや回路の接地電位を与える構成により、非選択のメモリセルに対するストレスを軽減させることができる。すなわち、ワード線が選択され、データ線が非選択状態にされたメモリセルや、逆にワード線が非選択状態にされ、データ線が非選択状態にされることによって、書き込み又は消去動作においてデータを保持すべきメモリセルに上記書き込み又は消去用の電圧が印加されることを防止するものである。この構成では、上記ブロック内の小数のメモリセルにおいてのみ上記のようなストレスがかかるものとなる。

【0063】この実施例では、隣接するデータ線DLが奇数番目と偶数番目とに分けられる。そして、それぞれに対応してショートMOSFETが設けられる。このショートMOSFETは、奇数番目と偶数番目のデータ線DLを交互に選択するようにし、非選択状態におかれるデータ線DLを回路の接地電位の固定レベルにして、隣接データ線DLにおける相互のカップリングノイズを低減するものである。このようなデータ線DLの構成に対

		read	program	erase
選 択	Vg	Vcc	-10V	12V
	Vd	1V	4V	-4V
	Vs	0V	open	-4V
非選択	Vg	0V/open	Vcc/0V	0V/0V
	Vd	1V/open	0V/open	-4V/open
	Vs	0V/open	open/open	-4V/open

【0066】読み出し(read)、書き込み(program)及び消去(erase)の各動作モードにおける記憶MOSFETのゲート電圧(ワード線WL) Vg、ドレイン電圧Vd及びソース電圧Vsは、上記表1のような電圧が与えられる。上記のようなゲート電圧Vgとドレイン電圧Vd及びそれぞれ電圧Vsとの相対的な電位関係により、薄いゲート絶縁膜を介してトンネル電流を発生させ、フローティングゲートに対する電荷の注入又は放出を行わせることによって、そのしきい値電圧を変化させて書き込み動作と消去動作が行われる。表1において、非選択において、/により分けられて2つの電圧又は状態は、選択ブロック/非選択ブロックに対応している。

【0067】上記12V、-10V、4V、-4Vが前記実施例のような電源回路により形成される。1Vのドレイン電圧Vdは、3.3Vの電圧を降圧回路により降圧して直接に形成するようにされる。このような各種電圧をスイッチMOSFETを通して出力させるとき、前記のような12Vのような高い昇圧電圧VCNを用いたスイッチ制御信号が形成される。上記-10Vの電圧も出力させるために、-10Vのような制御信号が必要とな

応して、データ線DLに現れた読み出し信号を増幅するセンスアンプSAに対して、データ選択回路YGも奇数と偶数とに分けられて選択される。このデータ選択回路YGは、後述するようなトランスファMOSFETにより実現される。

【0064】上記メインデコードMAN-DCRによって選択されるブロック内のメモリセルは、サブデコードSUB-DCRによって1つが選択される。サブデコードSUB-DCRは、上記ブロック内の1つのワード線WLを選択する。このような1つのワード線の選択信号は、ゲートデコードGDCRによって形成される。すなわち、サブデコードSUB-DCRは、上記ゲートデコードGDCRによって形成されたワード線の選択信号と、メインデコードMAN-DCRによって形成された動作モードに応じて形成された選択/非選択レベルとを受けて、上記ブロック内のワード線の選択/非選択の駆動信号を形成する。

【0065】

【表1】

るので負電圧側にも同様に昇圧された電圧が形成される。この場合には、NチャンネルMOSFETがスイッチとして用いられる。

【0068】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 電源電圧とパルス信号とを受けて動作するチャージポンプ回路により上記電源電圧以上に昇圧された昇圧電圧を形成する昇圧回路に対して、基準電圧と上記昇圧電圧の分圧電圧とを比較するリミッタ回路により動作を制御して、昇圧電圧が上記基準電圧に対応した所定電位になるように制御するとともに、上記基準電圧発生回路の出力電圧が所定の基準電圧に到達したことを基準電圧立ち上がり検出回路により検出して上記昇圧回路の動作を有効にすることにより、電源投入時の昇圧電圧の暴走を未然に防止することができるという効果が得られる。

【0069】(2) 上記昇圧回路として、電源電圧とパルス信号とを受けて動作するチャージポンプ回路により上記電源電圧以上に昇圧された第1の昇圧電圧を形成する第1の昇圧回路と、上記第1の昇圧電圧とそれに対

応したパルス信号とを受けて動作する容量直列型のチャージポンプ回路により上記昇圧電圧以上に昇圧された第2の昇圧電圧を形成する第2の昇圧回路とを組み合わせることにより、寄生容量の影響を軽減できるから高い到達電圧を得ることができるという効果が得られる。

【0070】(3) 電源電圧とパルス信号とを受けて動作するチャージポンプ回路により上記電源電圧以上に昇圧された第1の昇圧電圧を形成する第1の昇圧回路と、上記第1の昇圧電圧とそれに対応したパルス信号とを受けて動作する容量直列型のチャージポンプ回路により上記昇圧電圧以上に昇圧された第2の昇圧電圧を形成する第2の昇圧回路とを備えてなる内部電源回路を半導体集積回路で構成することにより、寄生容量の影響を軽減できるから高い到達電圧まで得ることができるチャージポンプ回路を得ることができるという効果が得られる。

【0071】(4) 上記(3)の第1の昇圧回路も容量直列型のチャージポンプ回路とすることにより、MOSFETの実効的なしきい値電圧の影響を受けなくできるからいっそうの高効率化を図ることができるという効果が得られる。

【0072】(5) 上記(3)の容量直列型のチャージポンプ回路として、ポンプアップ時において小さな電圧側からの容量接続順序に従ってそれぞれの容量値が小さくなるように容量値を振り分けることにより、ポンプアップ時でのキャパシタの保持電圧が後段側の寄生容量とのチャージシェアにより低下することが防止でき、各段の保持電圧をほぼ均等にでき、到達電圧を高くすることができるという効果が得られる。

【0073】(6) プリチャージ期間では、複数の容量に動作電圧をプリチャージし、ポンプアップ期間では上記複数の容量を直列接続して、直列容量の一端に上記動作電圧を供給し、直列容量の他端から昇圧電圧を得るようにした容量直列型のチャージポンプ回路において、上記ポンプアップ期間において上記動作電圧に接続された小さな電圧側からの上記昇圧電圧側に向かう容量接続順序に従って容量値が順次に小さくなるように容量値を振り分けるようにすることにより、ポンプアップ時でのキャパシタの保持電圧が後段側の寄生容量とのチャージシェアにより低下することが防止でき、各段の保持電圧をほぼ均等にでき、到達電圧を高くすることができるという効果が得られる。

【0074】(7) 上記昇圧電圧を、不揮発性メモリの書き込み、消去動作に用いられる動作電圧とすることにより、電源投入時での素子破壊を防止しつつ、低消費電力化を図ることができるという効果が得られる。

【0075】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、基準

電圧立ち上がり検出回路、チャージポンプ回路を除いた他の各回路の具体的構成は、種々の実施形態を採ることができる。上記電圧発生回路が用いられる不揮発性メモリの具体的構成は、種々の実施形態を採ることができるものである。この発明に係る昇圧回路は、不揮発性メモリの他に昇圧電圧を必要とする各種半導体集積回路装置に用いることができる。

【0076】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、電源電圧とパルス信号とを受けて動作するチャージポンプ回路により上記電源電圧以上に昇圧された昇圧電圧を形成する昇圧回路に対して、基準電圧と上記昇圧電圧の分圧電圧とを比較するリミッタ回路により動作を制御して、昇圧電圧が上記基準電圧に対応した所定電位になるように制御するとともに、上記基準電圧発生回路の出力電圧が所定の基準電圧に到達したことを基準電圧立ち上がり検出回路により検出して上記昇圧回路の動作を有効にすることにより、電源投入時の昇圧電圧の暴走を未然に防止することができる。

【0077】電源電圧とパルス信号とを受けて動作するチャージポンプ回路により上記電源電圧以上に昇圧された第1の昇圧電圧を形成する第1の昇圧回路と、上記第1の昇圧電圧とそれに対応したパルス信号とを受けて動作する容量直列型のチャージポンプ回路により上記昇圧電圧以上に昇圧された第2の昇圧電圧を形成する第2の昇圧回路とを備えてなる内部電源回路を半導体集積回路で構成することにより、寄生容量の影響を軽減できるから高い到達電圧まで得ることができるチャージポンプ回路を得ることができる。

【0078】プリチャージ期間では、複数の容量に動作電圧をプリチャージし、ポンプアップ期間では上記複数の容量を直列接続して、直列容量の一端に上記動作電圧を供給し、直列容量の他端から昇圧電圧を得るようにした容量直列型のチャージポンプ回路において、上記ポンプアップ期間において上記動作電圧に接続された小さな電圧側からの上記昇圧電圧側に向かう容量接続順序に従って容量値が順次に小さくなるように容量値を振り分けるようにすることにより、ポンプアップ時でのキャパシタの保持電圧が後段側の寄生容量とのチャージシェアにより低下することが防止でき、各段の保持電圧をほぼ均等にでき、到達電圧を高くすることができる。

【図面の簡単な説明】

【図1】この発明に係る不揮発性メモリのような半導体集積回路装置に設けられる電圧発生回路の一実施例を示すブロック図である。

【図2】図1のVREF立ち上がり検出回路の一実施例を示す回路図である。

【図3】この発明にかかる電圧発生回路の動作の一例を

説明するための波形図である。

【図 4】この発明に係る昇圧回路の一実施例を示す概略ブロック図である。

【図 5】3 個の容量を用いた場合の容量直列型チャージポンプ回路の容量比と出力特性の説明図である。

【図 6】この発明が適用された容量直列型のチャージポンプ回路の一実施例を示す概略回路図である。

【図 7】この発明に係る容量直列型のチャージポンプ回路の動作を説明するための等価回路図である。

【図 8】この発明が適用される不揮発性メモリの一実施例を示す概略ブロック図である。

【図 9】この発明が適用される一括消去型 EEPROM の他の一実施例を示すブロック図である。

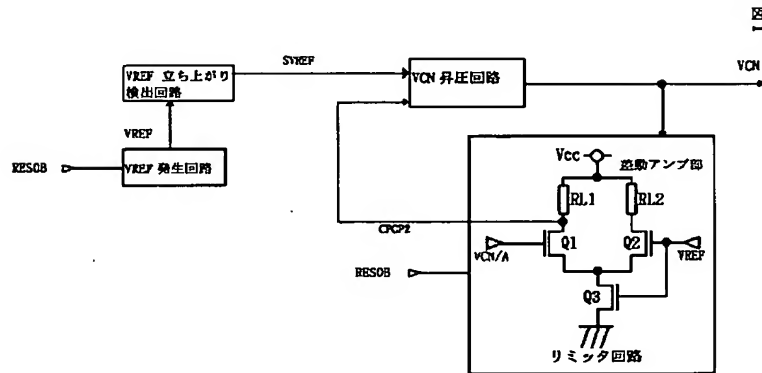
【図 10】上記図 9 のメモリマットとその周辺部の一実施例を示す概略回路図である。

【符号の説明】

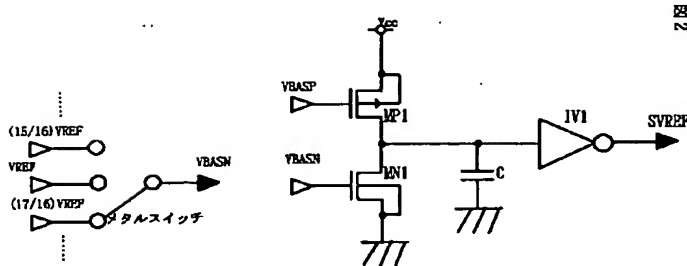
Q1~Q10、MP1、MN1…MOSFET、RL

1、RL2…負荷、IV1…インバータ回路、C0~Ci…キャパシタ、C1β1~Ciβi…寄生容量、VS…電圧発生回路、XADB…Xアドレスバッファ、XDCR…Xデコーダ、YADB…Yアドレスバッファ、ADCR…Yデコーダ、SA…センスアンプ、DR…書き込み回路、MC…モードコントロール回路、MP…マルチプレクサ、SVC…ソース電位制御回路、YG…データ線選択回路、CSB…制御信号バッファ回路、MAT…メモリマット、SUB-DCR…サブデコーダ、MAN-DCR…メインデコーダ、GDCR…ゲートデコーダ、SCB(MC)…制御回路、ADB…アドレスバッファ、ALH…アドレスラッチ、ADG…アドレス発生回路、VG…電圧発生回路、CDCR…コマンドデコーダ、SREG…ステータスレジスタ、SAC…センスアンプ制御回路、SA…センスアンプ、YG…データ線選択回路、IB…データ入力バッファ、OB…データ出力バッファ、DL…データ線、WL…ワード線。

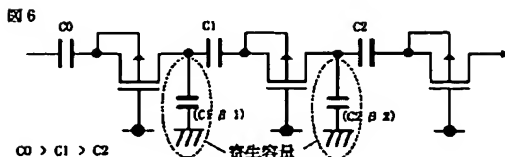
【図 1】



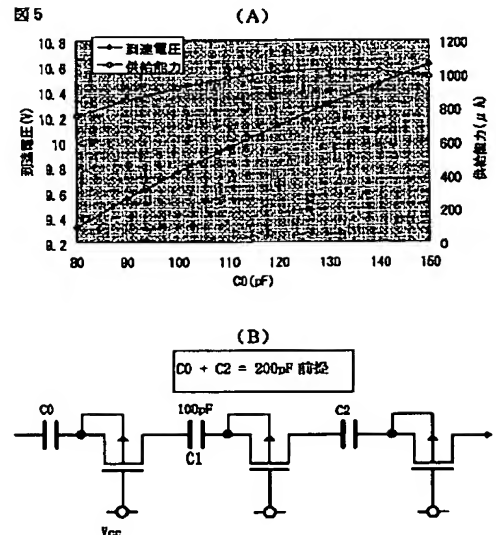
【図 2】



【図 6】

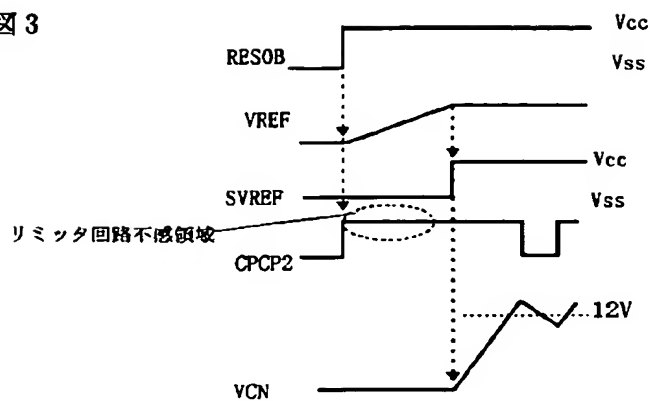


【図 5】



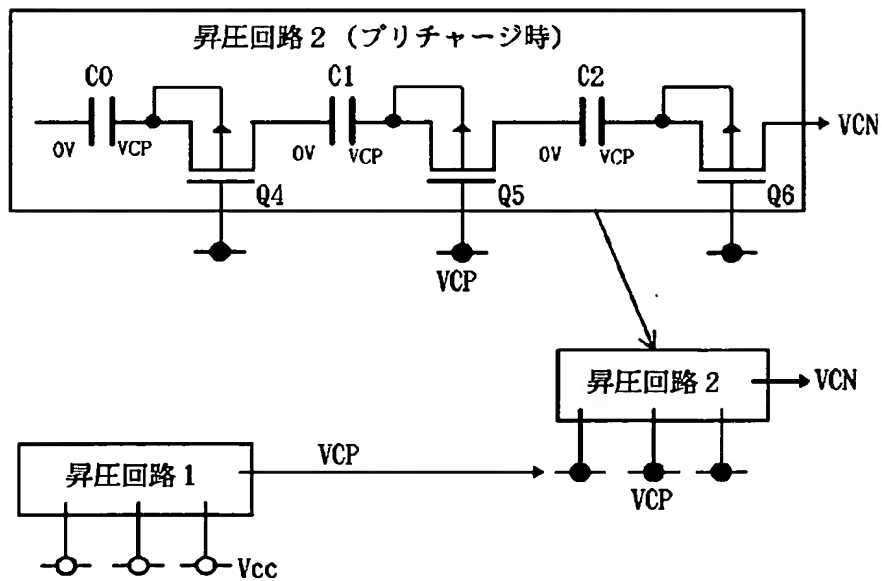
【図 3】

図 3

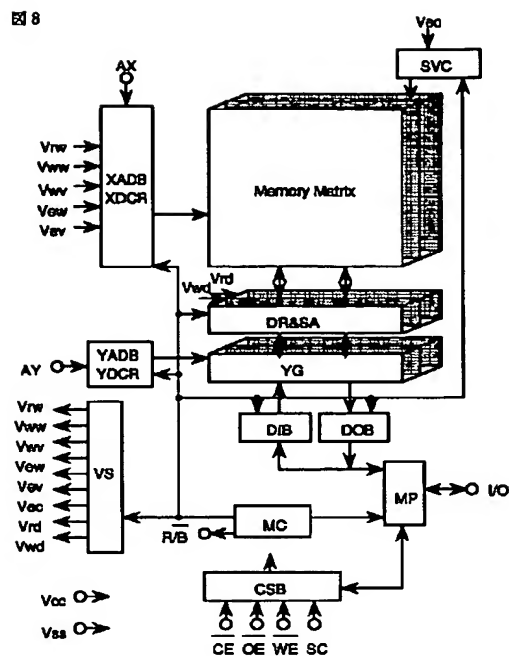


【図 4】

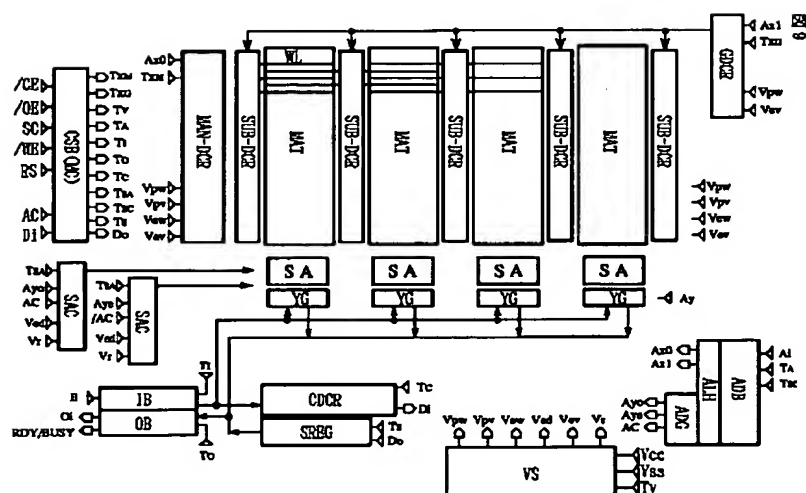
図 4



【例 8】

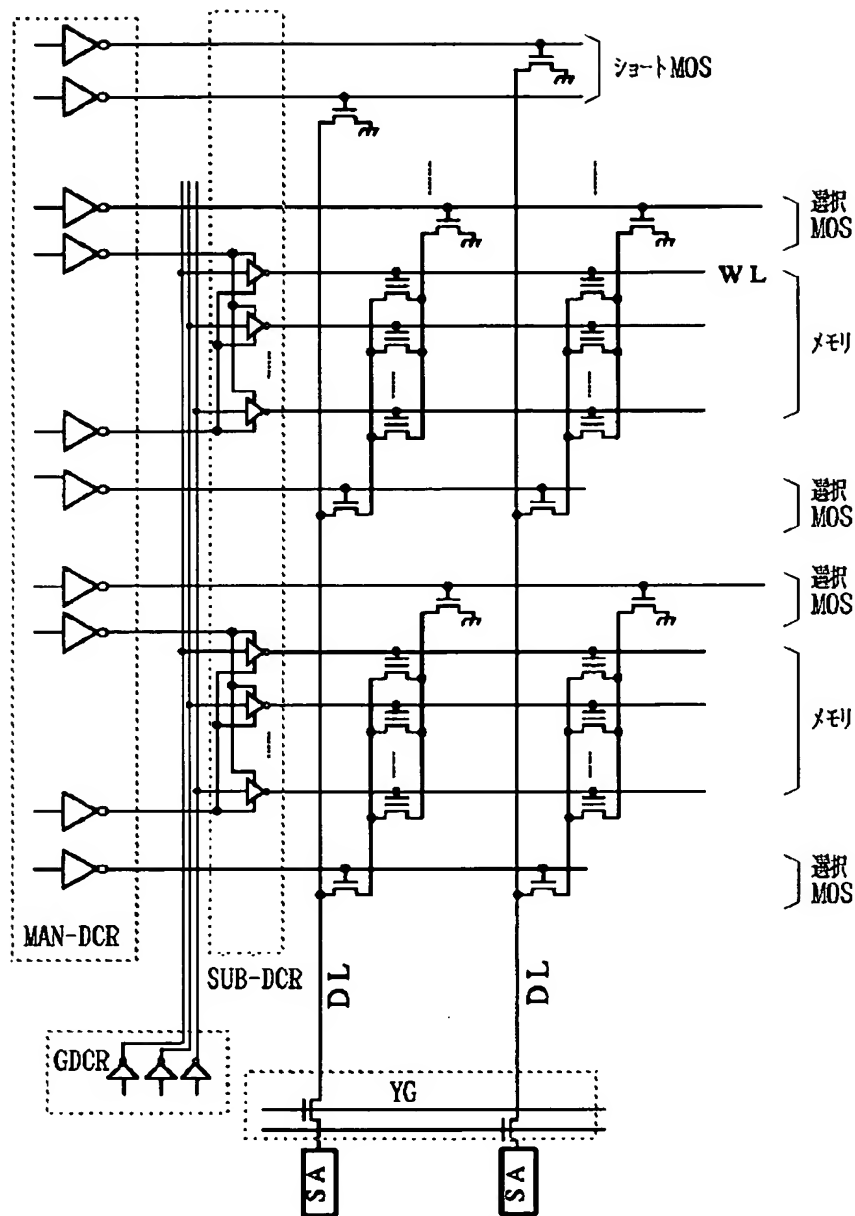


【图 9】



【図 10】

図10



フロントページの続き

(72) 発明者 岸本 次郎
 東京都青梅市新町六丁目16番地の3 株式
 会社日立製作所デバイス開発センタ内

(72) 発明者 久保 昌次
 東京都小平市上水本町5丁目22番1号 株
 式会社日立超エル・エス・アイ・システム
 ズ内

(72) 発明者 佐藤 弘
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72) 発明者 原田 敏典
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

(72) 発明者 前島 恵
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内